

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277465
(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 21/301
H01L 21/3205

(21)Application number : 11-083785
(22)Date of filing : 26.03.1999

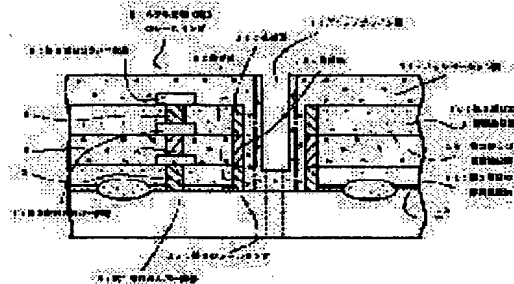
(71)Applicant : SANYO ELECTRIC CO LTD
(72)Inventor : SAITO KIMIHIDE
KITAGAWA KATSUHIKO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a seal ring without increasing a chip-size package in size.

SOLUTION: When plugs 3, 4, and 5 are formed in an IC circuit forming part, a groove is provided to a dicing line part 1, and W is filled into the groove. Layers are each flattened through a CMP method, and lastly a semiconductor device is fully cut along a dotted line shown in Figure. A second seal ring 12 formed of a covered part is made to seal up the interface of interlayer insulating films, so that a path through which moisture penetrates inside can be shut off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277465

(P2000-277465A)

(43) 公開日 平成12年10月6日 (2000. 10. 6)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 21/301
21/3205

H 0 1 L 21/78
21/88

Q 5 F 0 3 3
S

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号

特願平11-83785

(22) 出願日

平成11年3月26日 (1999. 3. 26)

(71) 出願人

000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者

斉藤 公英

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者

北川 勝彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人

100111383

弁理士 芝野 正雅

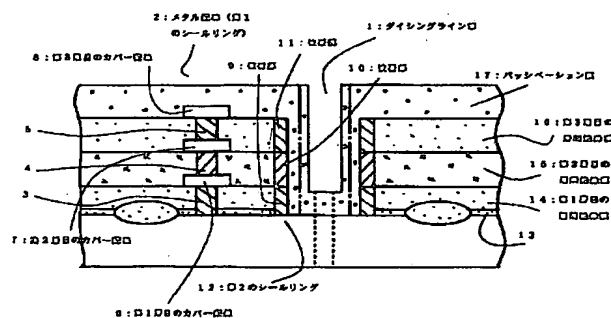
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 チップサイズパッケージのサイズを大きくすることなくシールリングを形成する。

【解決手段】 IC回路形成部にプラグ3、4、5を形成する際、ダイシングライン部1にも溝を形成し、ここにもWを埋め込む。各層はそれぞれCMP法で平坦化され、最終的には、点線で示す部分でフルカットされる。この被覆部から成る第2のシールリング12は、層間絶縁膜の界面をシールするので、湿気の通路を遮断できる。



1

【特許請求の範囲】

【請求項 1】 半導体ウェハまたは半導体ウェハ上に形成された半導体素子上に絶縁膜を形成し、
 予定の半導体チップ周囲に形成されるダイシングライン部にリング状に第 1 の溝を、前記ダイシングライン部よりも内側に第 2 の溝を形成し、
 前記第 1 の溝および前記第 2 の溝も含め全面に導電材料を形成し、前記導電材料を CMP 法で削除し、前記第 1 の溝および第 2 の溝に導電材料を埋め込み、
 前記第 1 の溝の側壁に前記導電材料が残存するように、
 前記第 1 の溝に第 3 の溝を形成し、
 全面にパッシベーション膜を被覆し、
 最終的に、前記第 3 の溝の側壁に前記パッシベーション膜が残存するようにダイシングすることを特徴とした半導体装置の製造方法。

【請求項 2】 前記導電材料は、W または Cu より成る請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 2 の溝に埋め込まれた導電材料は、上層または下層の配線とのコンタクト部となるか、またはシールリング構成となる請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 半導体ウェハまたは半導体ウェハ上に形成された半導体素子上に第 1 の絶縁膜を形成し、
 予定の半導体チップ周囲に形成されるダイシングライン部にリング状に第 1 の溝を、このダイシングライン部よりも内側に第 2 の溝を形成し、
 前記第 1 の溝および前記第 2 の溝も含め全面に第 1 の導電材料を形成し、前記第 1 の導電材料を CMP 法で削除し、前記第 1 の溝および第 2 の溝に前記第 1 の導電材料を埋め込み、
 前記第 2 の溝に埋め込まれた前記第 1 の導電材料とコンタクトする第 1 のメタル配線を形成し、
 前記半導体ウェハ全面に第 2 の絶縁膜を形成し、前記第 1 のメタル配線が露出する第 3 の溝を形成すると同時に、前記第 1 の溝の前記第 1 の導電材料が露出するように第 4 の溝を形成し、
 前記第 3 の溝および前記第 4 の溝も含め全面に第 2 の導電材料を形成し、前記第 2 の導電材料を CMP 法で削除し、前記第 3 の溝および前記第 4 の溝に前記第 2 の導電材料を埋め込み、
 更にメタル配線が三層以上であれば、前記工程を繰り返し、
 最終的には、前記ダイシングライン部に形成された第 2 の溝、前記第 4 の溝の側壁に前記導電材料が残存するようにダイシングすることを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の絶縁膜から成る層間絶縁膜を介して多層のメタル配線が形成される

2

半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 一般の半導体装置は、ウェハの状態で次々と素子が作り込まれ、所定の機能を有した IC 回路が形成される。平面的には、この IC 回路が形成された IC 回路形成部がマトリックス状に配置され、この IC 回路形成部を囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿ってダイシングされ、個々の半導体装置（半導体チップ）に分離形成される。

【0003】 例えば、ダイシングされるものとして、特開平 9-64049 号公報が詳しい。図 6 は、ウェハスケール型のチップサイズパッケージ 50 の概略を説明するものであり、まずウェハ 51 の状態で、IC 回路が作られ、パッシベーション膜 52 まで被覆されたウェハ 51 を用意する。そして、最上層のメタル電極 53（例えばボンディングパッド）を露出する開口部を形成し、この開口部を介して再配線層 54 を、例えば Cu メッキで形成する。

【0004】 この再配線層 54 には、メタルポスト 55 が形成されると共に、全域には封止樹脂 56 が全面に被覆され、この封止樹脂 56 から露出したメタルポスト 55 には、半田バンプや半田ボール 57 が形成される。つまりこの IC チップと成る領域には、前記半田ボールがバランス良く分散されて配置される必要があるため、この再配線層がその数だけ採用され所定の位置に延在するように形成されている。また半田ボールと実装基板との半田接続を実現するため、メタルポストの高さが調整され、熱膨張係数差により発生する応力を吸収している。

【0005】 この状態でダイシングライン部 58 に沿ってダイシングされ、個々に分離されて半導体チップ 50 が完成する。

【0006】 しかしチップサイズパッケージは、実質表面にのみ樹脂封止部が形成されるので、ダイシングにより発生する側壁にはこの樹脂は残らない。つまりこの側壁には層間絶縁膜が露出し、層間絶縁膜はシリコン酸化膜、TEOS 膜、SOG 膜等の何層もの膜が積層されその界面が露出しているため、この界面を介した耐湿性が問題になる欠点があった。

【0007】 一方、このスクライブが原因で前記層間絶縁膜にクラックが発生したり、また前述した界面からの湿気の浸入を防止するために、図 7 に示す耐湿リング

（またはシールリング）が設けられるようになった。これは、IC 回路部 60 を囲むように例えば一層目のプラグ 61 が埋め込まれ、この上にはプラグをカバーする一層目のメタル配線 62 がやはりリング状に形成される。仮に二層メタルで有れば、この構造が二段に構成されシールリング 63 として構成される。

【0008】 一方、ダイシングライン部 64 の層間絶縁膜 65、66 の端面に保護膜 67 を設けたり、この保護

3

膜と一緒に、またはこの保護膜無しにパッシベーション膜 68 を被覆して、このパッシベーション膜を矢印の部分でダイシングするものもある。

【0009】

【発明が解決しようとする課題】しかしながら、シールリング 63 を採用すると、チップサイズが大きくなる問題があった。また保護膜 67 で覆ったり、パッシベーション膜 68 で覆う場合、層間絶縁膜 65 や 66 をダイシング部 64 の手前で取り除く工程が必用となる。つまり層間絶縁膜 65、66 の段差 69 が発生する。この保護膜 67 は、種類によりその厚さが薄くても良い場合、また薄くしたい場合、ここに段差が大きく発生するため、精度高くエッチングできず、角部等で保護膜が薄くなり耐湿性の問題があった。

【0010】

【課題を解決するための手段】本発明は前述の課題に鑑みてなされ、先ず第 1 に、予定の半導体チップ周囲に形成されるダイシングライン部にリング状に第 1 の溝を、前記ダイシングライン部よりも内側に第 2 の溝を形成し、前記第 1 の溝および前記第 2 の溝も含め全面に導電材料を形成し、前記導電材料を CMP 法で削除し、前記第 1 の溝および第 2 の溝に導電材料を埋め込み、前記第 1 の溝の側壁に前記導電材料が残存するように、前記第 1 の溝に第 3 の溝を形成し、全面にパッシベーション膜を被覆し、最終的に、前記第 3 の溝の側壁に前記パッシベーション膜が残存するようにダイシングすることで解決するものである。

【0011】また前記解決手段に於いて、導電材料として、W または Cu を採用することで解決するものである。

【0012】更には、前記 2 つの解決手段に於いて、第 2 の溝に埋め込まれた導電材料は、上層または下層の配線とのコンタクト部とするか、またはシールリング構成とすることで解決するものである。

【0013】このダイシングライン部には、湿気の浸入経路である層間絶縁膜の界面があるが、この界面にプラグ材を被覆することにより、浸入経路を断つ事ができる。

【0014】また全面にプラグ材を埋め込んだ後、CMP 法で平坦化しているので、側壁に精度の高いパターンで被覆材を残すことができる。

【0015】従ってシールリングを薄く形成でき、IC チップに占める占有率を小さくすることができる。

【0016】

【発明の実施の形態】以下、本発明の一実施の形態について説明する。本実施の形態は、以下 MOS 型で説明するが、BIP 型、Bi-CMOS 型でも実現可能である。

【0017】先ず図 5 を参照すれば、符号 1 は、ダイシングライン部であり、図 6 のように IC チップを囲んで

4

形成されている。また符号 2 は、第 1 のシールリングまたは複数層の配線である。これは、配線として形成するか、またはシールリングとして形成するかで、パターンがリング状になるか、配線パターンとなるかの違いであり、製造方法は、同一工程で実現できるものである。

【0018】またシールリングと配線とを別々に呼称すると複雑になるため、符号 2 は、メタル配線とよび、各層のプラグ 3、4、5 とプラグの上に形成されるのでカバー配線 6、7、8 で構成されるものとして説明して行く。

【0019】本願は、少なくとも一層のメタル配線 2 が形成され、このメタル配線の形成工程を共用してダイシングライン部に薄い被覆部 9 を第 2 のシールリング 12 として精度高く形成するものである。また後述するが、被覆部 9、10、11 を全て採用しても良いし、その中の一個だけ採用しても良い。ここでは、全ての被覆部を採用して説明していく。つまり三層メタル配線の IC として説明していく。

【0020】また、この第 2 のシールリング 3 のみを採用しても良いし、また第 1 のシールリング 2 と第 2 のシールリング 3 を採用し、二重にしても良い。

【0021】では、第 1 のシールリング 2 の具体的構造を説明する。例えば IC 回路形成部は、通常のプロセスにより、半導体基板に拡散領域が形成され、TR、ダイオード、拡散抵抗等が作り込まれ、表面には絶縁膜が形成されている。

【0022】MOS 型では、ゲートが必用なことからゲート絶縁膜 13 が必用となるが、一般的には第 1 層目のメタル配線の下には、第 1 層目の層間絶縁膜 14 が形成されている。また第 2 層目のメタル配線 4、7 の下層と第 1 層目のメタル配線 3、6 との間には第 2 層目の層間絶縁膜 15 が形成されている。また第 3 層目のメタル配線 5、8 と第 2 層目のメタル配線 4、7 との間には、第 3 層目の層間絶縁膜 16 が形成されている。

【0023】図では、各層のプラグが下層のメタル配線とコンタクトしているが、IC 回路形成部に形成される第 2 層、第 3 層目のプラグ 4、5 は、半導体基板 1 にダイレクトにコンタクトしても良い。

【0024】更に、図では三層メタルで示してあるの、第 3 層目のメタル配線 5、8 の上にはパッシベーション膜 17 が被覆されている。但し、4 層以上のメタル階層では、最上層のメタル配線の上にパッシベーション膜が形成され、その下のメタル配線間には層間絶縁膜が形成されることになる。

【0025】この各層間絶縁膜 14、15、16 は、ダイシングライン部 1 の近傍でダイシングライン部と同様に格子状に溝が形成され、ここに被覆部 9、10、11 が形成される。

【0026】この被覆部は、後述のように側壁に所定の膜厚で付けることが可能であり、単独でシールリングと

5

して機能するものである。従って第1のシールリング2を採用しなければ、チップサイズの縮小が実現できる。ただし両者を使用して二重にしても良い。

【0027】またここでは、プラグ材料として、WやCuを用いている。またカバー配線は、Alを主材料としたもので成っている。しかしプラグもカバー配線も一体で良い。つまりAlを主材料として一体となったり、Cuを主材料として一体でも良い。

【0028】詳しくは、溝にはバリアメタルとなる金属がTi、TiNの順で積層されている。Tiが約300~500Å、TiNが約1000~2000Åで被覆され、更に全面にWが約8000~15000Åで被覆されている。そしてこのWがCMP法で削除されタングステンプラグが形成される。またカバー配線は、下からTiNが500~1000Å、AlCuが約3000~5000Å、Tiが500~1000Å程度が積層されて形成され、図のようなパターンにエッチングされて形成される。

【0029】また第1層目の層間絶縁膜14は、例えば三層に成っている。、具体的には、表面にゲート絶縁膜13が形成された上に積層され、BPSG膜が約2000~4000Å、その上にTEOS膜が約8000~10000Å程度で積層されている。ただしこの層間絶縁膜14は、一層の絶縁膜でも良いし、3層以上に積層されても良い。また第2層目の層間絶縁膜15は、下から約2000ÅのプラズマTEOS膜、約2000ÅのSOG膜、約500~1000ÅのプラズマTEOS膜、約2000ÅのSOG膜および約2000~3000ÅのプラズマTEOS膜が積層されている。ここでも絶縁膜の総数は限定されるものではない。

【0030】更に3層目の層間絶縁膜も、第1層目や第2層目のように複数の絶縁膜から構成されている。ここでは具体的説明は省略する。

【0031】本発明の特徴は、まず第2のシールリング12を設け、耐湿性を向上させた点にある。各層間絶縁膜14、15、16は、前述したように複数の絶縁膜が積層され、その界面が前記端部から延在されている。しかしダイシング部の側壁(図では一点鎖線または点線で示す部分)には被覆部が設けられているので、ダイシング側壁から湿気が浸入しても、ここで止めることができる。

【0032】また被覆部は、後述の方法を採用するため、各層間に1つずつ形成されるが、図8のように2層目の層間絶縁膜15から半導体基板まで1つの被覆材(第2層目のプラグ材と同一材料)40で形成されても良い。また図10のように3層目の層間絶縁膜16から半導体基板まで1つの被覆材(第3層目のプラグ材と同一材料)41で形成されても良い。両者共に、被覆部と被覆部の界面を減らせる。

【0033】では具体的にその製造方法を説明する。

6

【0034】半導体ウェハ30にはマトリックス状にIC回路形成部が形成され、このIC回路形成部を囲むようにダイシングライン部1が予定される。そしてIC回路形成部とダイシングライン部1との間には、必用によっては第1のシールリング2が設けられる。

【0035】符号14は、第1層目のメタル配線3、6の下層に形成される第1の層間絶縁膜である。この第1の層間絶縁膜14は、表面にゲート絶縁膜13が形成された上に積層され、BPSG膜が約3000Å、その上にTEOS膜が約8000~10000Å程度で積層されている。

【0036】続いてこの第1の層間絶縁膜14には、半導体基板が露出する第1の溝31および第2の溝32が形成され、ここにはWが埋め込まれる。第1の溝31は、ダイシングライン部に格子状に位置し、削られる幅よりも若干広めになっている。第2の溝は、第1層目のプラグ3となる部分である。

【0037】ここでWは、例えばCVDでウェハ全面に形成され、これをCMP法で研磨してゆく。CMP法は、Chemical Mechanical Polishingの略であり、化学的反応と機械的切削の両者が混在してウェハ全域をフラットにする技術である。

【0038】スラリーは、研磨剤としてアルミナ、またはシリカと水と一緒に混練して所定の粘度(濃度)になり、更に硫酸銅または過塩素酸銅の酸化剤が含まれている。

【0039】これは既に公知であり、例えば特開平7-288244号公報が詳しい。

【0040】そしてステージに研磨パッドが敷かれた回転研磨機が用意され、ここに前記スラリーが所定の流量で流される。また、ウェハホルダーにはウェハが装着され、ウェハの回転とステージの回転により、ウェハが研磨パッドでこすられ、同時にスラリーで削られる。しかも薬品により科学的研磨も実現される。

【0041】従って第1の層間絶縁膜及びプラグ材が削られ、ウェハ全域がフラットになる。

【0042】詳しくは、第1の溝31、第2の溝32も含めて全面にバリアメタルとなる金属がTi、TiNの順で積層されている。Tiが約300~500Å、TiNが約1000~2000Åで被覆され、更に全面にWが約8000Å~15000Åに被覆されている。そしてこのWがCMP法で削られる。(以上図1参照)続いて、第1のカバー配線6は、下からTiNが500~1000Å、AlCuが約3000~5000Å、TiNが500~1000Å程度が積層されて形成され、所定のパターンにエッチングされて形成される。

【0043】ここで第1のタングステンプラグ3は、IC回路形成部では、トランジスタのソース領域やドレイン領域とコンタクトし、また第1のカバー配線は、メタル配線として同時に形成される。

7

【0044】続いて、ウェハ30全面に第2層目の層間絶縁膜15が被覆される。

【0045】ここで第2層目の層間絶縁膜7は、下から約2000ÅのプラズマTEOS膜、約2000ÅのSOG膜、約500~1000ÅのプラズマTEOS膜、約2000ÅのSOG膜および約2000~3000ÅのプラズマTEOS膜が積層されている。

【0046】そして、第1の溝に埋め込まれたWが露出する第3の溝33、第1層目のカバー配線6が露出する第4の溝34が同時に形成される。

【0047】続いて、第3の溝33、第4の溝34も含めウェハ全域にタングステンが被覆され、その後CMP法で削られる。

【0048】ここでは、まず第3および第4の溝34も含めウェハ全面に、下から約300~500ÅのTi、約1000~2000ÅのTiNから成るバリアメタルがスパッタリングで形成され、この上に約8000~15000ÅのWが例えばCVD法により被覆される。

【0049】続いて、前記Wを前記CMP法で研磨し、第2のタングステンプラグ4を形成すると共に、第3の溝にWを埋め込む。ここでもCMP法ウェハが削られるのでその表面はフラットになる。(以上図2参照)

更に、図1や図2の工程と同様に、第3層目の層間絶縁膜16を形成し、続いて第3の溝に埋め込まれたWが露出する第5の溝35、第2層目のカバー配線6が露出する第6の溝36を形成し、ウェハ全面にWを形成し、CMP法で研磨する。(以上図3参照)

続いて第3層目のカバー配線8を第2のカバー配線と同様に形成し、ダイシングライン部1が露出するホトレジストPRを形成する。

【0050】本発明は、CMP法を採用することで、エッチング精度を高められることがポイントである。つまりこのホトレジストPRは、図5の被覆部9、10、11のパターニングに使用され、CMP法でダイシングライン部も実質フラットにできるため、このホトリソグラフィ精度を向上させることができる。従って層間絶縁膜の側壁に被覆する膜厚を薄くでき、シールリングの占める比率を小さくでき、チップサイズ増大を防止できる。

(以上図4参照)

続いて、全面にパッシベーション膜17を形成することで、前記被覆部9、10、11を覆い、その後、点線または一点鎖線の所でダイシングして個々に分離し、例えばリードフレームに実装する。

【0051】またウェハスケール型チップサイズパッケージでは、図6で説明したように、パッシベーション膜17(符号52に相当)の上には、樹脂52が塗布され、最上層のカバー配線8(53に相当)が露出され、この開口部も含めCuの再配線層54が形成される。またこのCuの再配線層54の端部にはメッキでメタルポスト55が形成され、全面を樹脂56で封止する。そし

8

て樹脂56から露出したメタルポスト55に半田ボール57が形成される。

【0052】この樹脂56が封止される際、ダイシング部1にも形成され、ここにも樹脂56が埋め込まれる。

【0053】そして最後に、点線で示すフルカットラインに沿ってダイシングされ、個々に分離される。

【0054】この場合、ダイシングライン部の側面は、被覆部、パッシベーション膜および樹脂でカバーされることになる。

【0055】最近では、CSP(チップサイズパッケージ)が開発され、市場にも出始めている。これらは、樹脂量が極端に少なく、耐湿性の向上が非常に重要なテーマとなる。

【0056】特にウェハ型CSPは、ウェハ状態でICが作り込まれパッシベーション膜が被覆された後、全面に封止樹脂を載せ、その後、ダイシングして個々のチップに分離するため、チップの側壁には、前述した層間絶縁膜の界面が露出される。従ってシールリングは、非常に重要な位置づけになる。本発明の構成を採用すれば、被覆部のみでシールが可能となるばかりか、何重ものシールが可能となり、チップの耐湿劣化を防止できるメリットを有する。

【0057】最後に図10の構造についてその製造方法を簡単に説明する。図1から図4までは、ダイシングライン部1に対応する溝は一切形成せず、図9のように第6の溝36を形成する際に同時に、第3層の層間絶縁膜から半導体基板まで到達する溝43を形成する。そして、第3層目のプラグ材を被覆するとき、溝が完全に埋まるようにWを被覆すれば、ホトレジストPRでエッチングして図10のように、段差部を一体の材料で被覆できる。

【0058】この場合、図5では、被覆材同士が当接する界面が存在するに対して、図10では存在しない。従って更に耐湿性は向上する。

【0059】

【発明の効果】以上の説明から明らかなように、ダイシングライン部には、湿気の浸入経路である層間絶縁膜の界面があるが、この界面にプラグ材から成る被覆部を形成することで浸入経路を断つ事ができる。

【0060】また被覆は、全面にプラグ材を埋め込んだ後、CMP法で平坦化しているので、側壁には、その膜厚の薄い精度の高いパターンで被覆材を残すことができる。

【0061】従ってチップサイズの増大を招くことのないシールリング実現できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明する断面図である。

【図2】本発明の半導体装置の製造方法を説明する断面図である。

9

【図3】本発明の半導体装置の製造方法を説明する断面図である。

【図4】本発明の半導体装置の製造方法を説明する断面図である。

【図5】本発明の半導体装置の製造方法を説明する断面図である。

【図6】チップサイズパッケージを説明する断面図である。

*

10

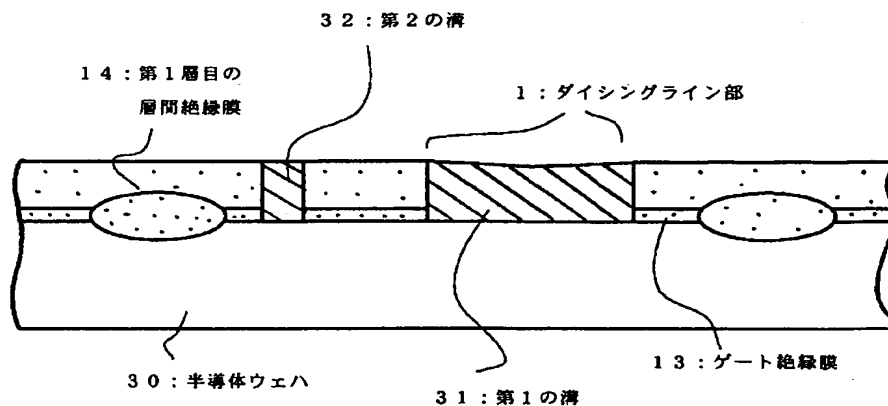
*【図7】従来のシールリングを説明する断面図である。

【図8】本発明の半導体装置の製造方法を説明する断面図である。

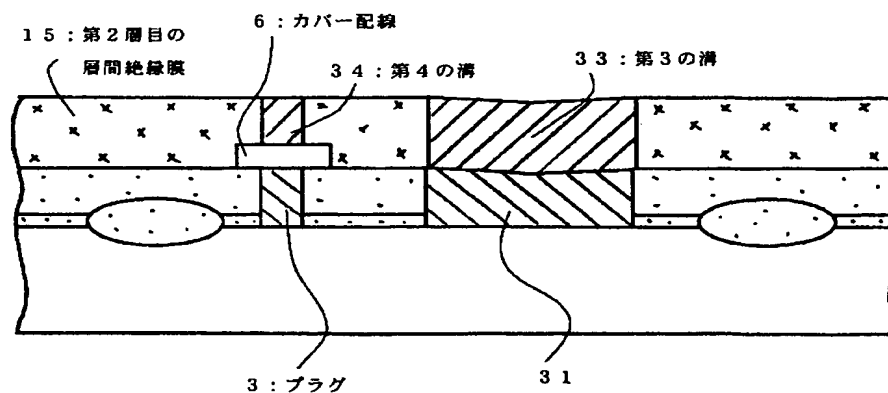
【図9】本発明の半導体装置の製造方法を説明する断面図である。

【図10】本発明の半導体装置の製造方法を説明する断面図である。

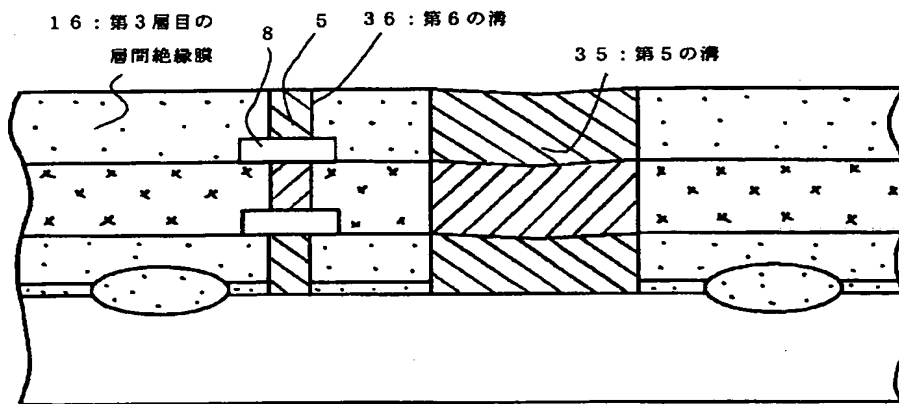
【図1】



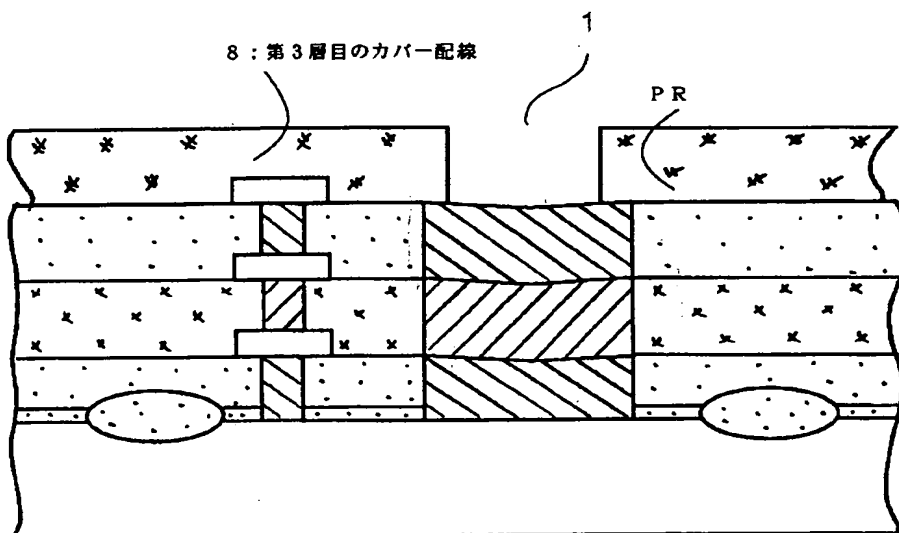
【図2】



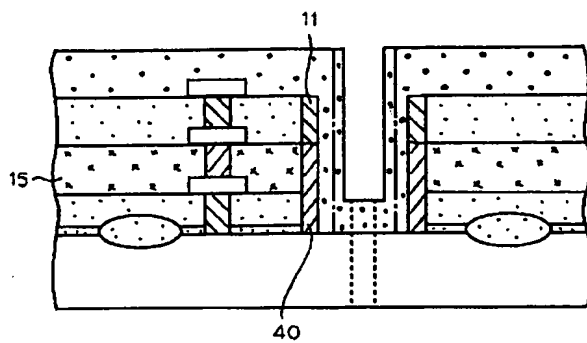
【図3】



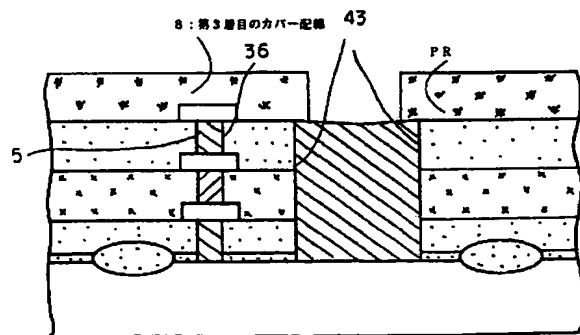
【図4】



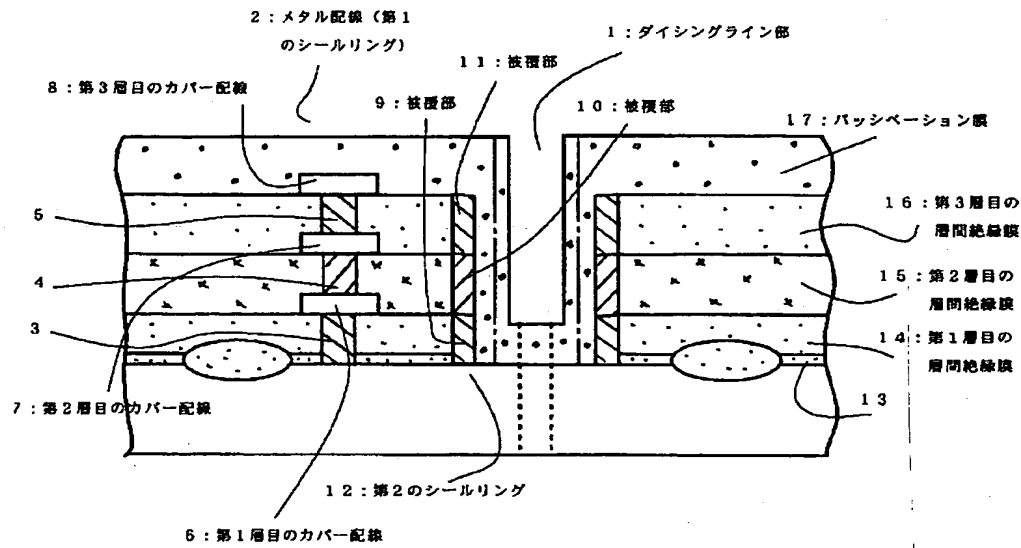
【図8】



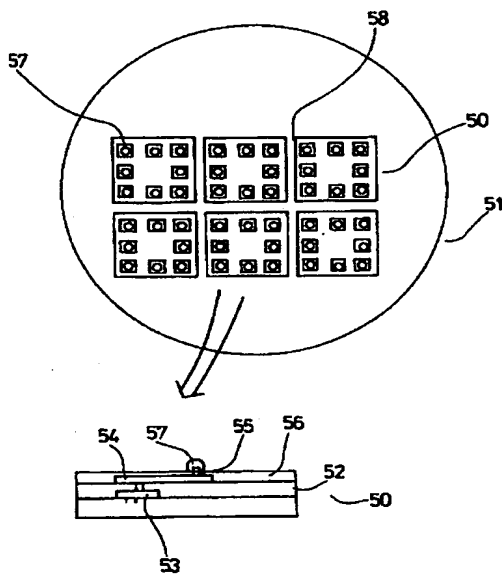
【図9】



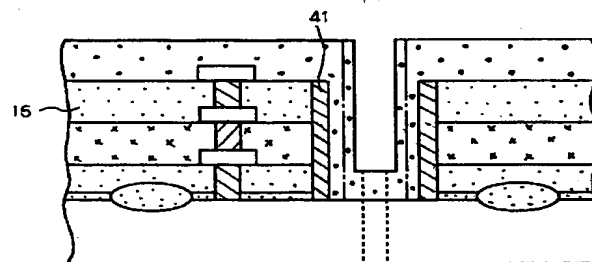
【図5】



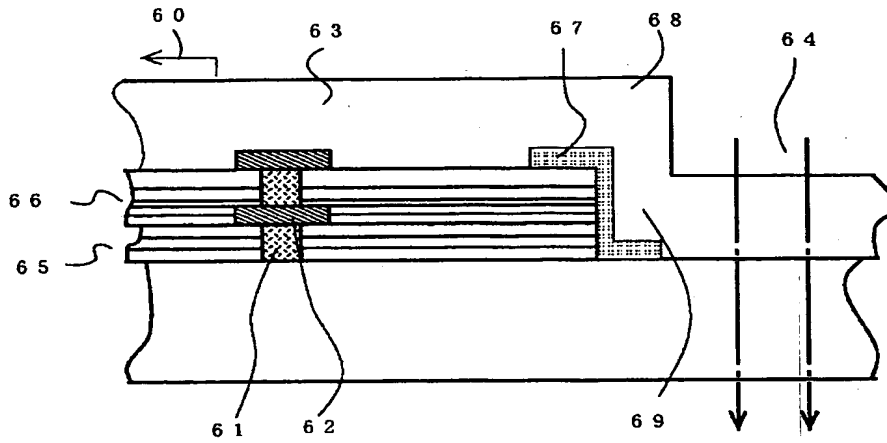
【図6】



【図10】



【図7】



フロントページの続き

Fターム(参考) 5F033 HH09 JJ11 JJ18 JJ19 JJ33
KK09 KK18 KK33 MM08 NN06
NN07 PP15 QQ37 QQ48 RR04
RR09 RR15 SS04 SS15 TT02
VV00 XX18